

10/019540

Eku

PCT/JP00/04477 #2

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

06:07:00	
REC'D 25 AUG 2000	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 7月 7日

18/1
JP00/4477

出 願 番 号
Application Number:

平成11年特許願第192659号

出 願 人
Applicant(s):

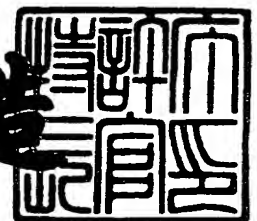
松下電器産業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 8月11日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3062500

【書類名】 特許願
【整理番号】 2033500048
【提出日】 平成11年 7月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/784
C30B 29/06
H01L 21/318

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 西川 孝司

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 1 9 2 6 5 9

【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子及び膜の形成方法

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜と導体電極とを備えた半導体素子において、

上記絶縁膜の少なくとも一部が A 1 N 層により形成されていることを特徴とする半導体素子。

【請求項 2】 請求項 1 記載の半導体素子において、

上記半導体素子は、電界効果トランジスタであり、

上記絶縁膜は、上記電界効果トランジスタのゲート絶縁膜であることを特徴とする半導体素子。

【請求項 3】 請求項 1 記載の半導体素子において、

上記 A 1 N 層は、上記基板上にエピタキシャルに成長された単結晶層であることを特徴とする半導体素子。

【請求項 4】 請求項 3 記載の半導体素子において、

上記半導体基板の主面の面方位が (1 0 0) 面であり、

上記 A 1 N が立方晶であり、その面方位が (1 0 0) であることを特徴とする半導体素子。

【請求項 5】 請求項 4 記載の半導体素子において、

上記半導体基板が S i により構成されていることを特徴とする半導体素子。

【請求項 6】 請求項 5 記載の半導体素子において、

上記半導体基板の表面におけるダングリングボンドがアルミニウム、窒素、水素、硫黄及びマグネシウムのうちいずれか 1 つによって終端されていることを特徴とする半導体素子。

【請求項 7】 請求項 5 記載の半導体素子において、

上記絶縁膜は、上記 A 1 N 層と上記半導体基板の間に介在する窒化珪素層をさらに備えていることを特徴とする半導体素子。

【請求項 8】 請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体素子において、

上記絶縁膜は、上記 A 1 N 層の上に形成され、A 1 N よりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか 1 つにより構成される誘電体層をさらに有することを特徴とする半導体素子。

【請求項 9】 請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体素子において、

上記絶縁膜は、上記 A 1 N 膜の上に形成され、A 1 N よりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか 1 つにより構成される誘電体層をさらに有し、

上記誘電体層の上側及び下側のうち少なくともいずれか一方には、結晶性を有する導電性膜が設けられていることを特徴とする半導体素子。

【請求項 1 0】 請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体素子において、

上記 A 1 N 層には、酸素、水素、硫黄のうち少なくともいずれか 1 つが含まれており、上記 A 1 N 層内における上記半導体基板との格子不整合に起因する歪みが緩和されていることを特徴とする半導体素子。

【請求項 1 1】 請求項 4 記載の半導体素子において、

上記 A 1 N 層の半導体基板との格子不整合が拡大されて、上記 A 1 N 層の誘電率が高められていることを特徴とする半導体素子。

【請求項 1 2】 主面の面方位が (1 0 0) である半導体基板の上に、A 1 原子層及び N 原子層のうちいずれか一方の原子層を形成する工程 (a) と、

上記一方の原子層の上に、A 1 原子層及び N 原子層のうちの他方の原子層を形成する工程 (b) とを交互に繰り返すことにより、(1 0 0) 面を有する立方晶の A 1 N 層を形成することを特徴とする膜の形成方法。

【請求項 1 3】 請求項 1 2 記載の膜の形成方法において、

上記 A 1 原子層及び N 原子層の堆積は、分子線エピタキシ法 (M B E 法) 又は有機金属気相成長法 (M O V P E 法) により行なわれることを特徴とする膜の形成方法。

【請求項 1 4】 請求項 1 2 又は 1 3 記載の膜の形成方法において、

上記半導体基板として S i 基板を用いることを特徴とする膜の形成方法。

【請求項 1 5】 請求項 1 2 ～ 1 4 のうちいずれか 1 つに記載の膜の形成方法において、

上記工程（a）の前に、上記半導体基板の表面部を窒化して窒化珪素層を形成する工程をさらに備え、

上記工程（b）では、上記窒化珪素層の上に上記一方の原子層を形成することを特徴とする膜の形成方法。

【請求項 1 6】 請求項 1 2 ～ 1 5 のうちいずれか 1 つに記載の膜の形成方法において、

上記工程（a）及び（b）のうち少なくともいずれか一方では、酸素、水素及び硫黄のうち少なくともいずれか 1 つを添加することにより、上記 A 1 N 層内における上記半導体基板との格子不整合に起因する歪みを緩和することを特徴とする半膜の形成方法。

【請求項 1 7】 請求項 1 2 ～ 1 5 のうちいずれか 1 つに記載の膜の形成方法において、

主面が（1 0 0）面から A 1 N 層との格子不整合が拡大させる方向に傾いた半導体基板を用いることにより、上記 A 1 N 層の誘電率を高めることを特徴とする膜の形成方法。

【請求項 1 8】 半導体基板の表面を窒素、水素、硫黄及びマグネシウムのうちいずれか 1 つを含む雰囲気中に曝し、半導体基板の表面上のダングリングボンドを終端させる工程（a）と、

半導体基板の上に、結晶性の A 1 N 層を形成する工程（b）とを備えている膜の形成方法。

【請求項 1 9】 請求項 1 8 記載の膜の形成方法において、

上記工程（b）の前に、上記半導体基板の表面部を窒化して窒化珪素層を形成する工程をさらに備え、

上記工程（b）では、上記窒化珪素層の上に結晶性の A 1 N 層を形成することを特徴とする膜の形成方法。

【請求項 2 0】 請求項 1 8 又は 1 9 記載の膜の形成方法において、

上記工程（b）では、上記 A 1 N 膜に酸素、水素及び硫黄のうち少なくともい

ずれか1つを添加することにより、上記A1N層内における上記半導体基板との格子不整合に起因する歪みを緩和することを特徴とする膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アルミニウム（A1）と窒素（N）を含むIII-V族高抵抗誘電体結晶からなる膜の形成方法、及びこれを用いた半導体素子に関する。

【0002】

【従来の技術】

近年、Si基板上に形成されるCMOSデバイスにおいては、デバイスを構成するMOSトランジスタ等の素子の微細化、各素子の高集積化の進展には著しいものがある。このような微細化、高集積化の進展に伴い、MOSトランジスタなどの要素であるゲート絶縁膜の単位面積当たりの容量値の向上の要請が強まっている。これは、省電力の目的でMOSデバイスの各素子を動作させるための電源電圧が低電圧化されている一方で、従来と変わらない素子動作に必要な電荷を確保しようとする、ゲート絶縁膜の単位面積当たりの容量値を高くする必要があるからである。

【0003】

このゲート絶縁膜の容量値を高くするには、大きく分けて2つの途がある。第1の方法はゲート絶縁膜を薄膜化する方法であり、第2の方法はゲート絶縁膜をより高誘電率を有する材料によって構成する方法である。すなわち、ゲート絶縁膜の高性能化に関しては薄膜化と高誘電率化の二つのアプローチがある。

【0004】

ここで、ゲート絶縁膜の薄膜化に関しては、Si基板の熱酸化を更に高精度に行なうことによって達成しようとするための工夫が特に数多くなされている。Si基板の熱酸化によって二酸化珪素（ SiO_2 ）絶縁膜を形成する方法は、酸化膜の形成が容易であること、この酸化膜が低い界面準位密度、高い耐電圧特性、小さい電流リークなどというゲート絶縁膜としては非常に優れた特性を有していること、酸化膜の形成プロセスが素子の微細化、高集積化にも十分対応できるこ

となどの利点を有しているので、現在 Si 基板上に形成される CMOS トランジスタにおいては、熱酸化法以外にゲート絶縁膜の形成方法として実用化されている方法はないといっても過言ではない。従って、今後のゲート絶縁膜の高性能化についても、この SiO_2 膜をいかに薄膜化するかについて検討しているものが多い。例えば、今後の Si 系トランジスタ開発の将来展望を調査した「THE NATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS (THE SEMICONDUCTOR INDUSTRY ASSOCIATION in the U.S.A.) 74 頁 Table 22」(第 1 の文献)に開示されているように、西暦 1997 年に 4~5 nm であったゲート絶縁膜の厚みが、2001 年には 2~3 nm になると予想されている。そして、 SiO_2 膜の薄膜化の要望に応えるための検討として、例えば熱酸化の方法に急熱急冷の短時間酸化を用いたものに関する「信学技報(TECHNICAL REPORT OF IEICE.) ED98-9, SDM98-9 (1998-04) 15 頁」(第 2 の文献)に開示されている方法がある。この文献中の方法によると、形成された SiO_2 膜の膜厚は 1.5 nm である。

【0005】

また、ゲート絶縁膜を形成する材料を高誘電率化する方法の例として、「APPLIED PHYSICS LETTERS 72, 2835 (1998)」(第 3 の文献)に開示されている方法がある。この文献の方法では、ゲート絶縁膜として SiO_2 単層膜のみを用いるのではなく、 $\text{SiO}_2 / \text{Ta}_2\text{O}_5 / \text{SiO}_2$ の積層膜(3 層膜)を用いている。このように積層された状態で Ta_2O_5 の比誘電率が 20~25 と大きいことを利用して単位面積当たりの蓄積電荷量を高めつつ、高誘電率材料の絶縁膜を Si 基板に接触させると両者間の界面に高い密度で界面準位が導入されるのを回避すべく、Si の直接熱酸化によって形成された極薄の SiO_2 層を両者の間に介在させているのである。

【0006】

また、以上とは別な要請から、 SiO_2 以外の材料によりゲート絶縁膜を構成しようとする試みもある。例えば「特願平 1-64789」(第 4 の文献)に開示されている方法では、X 線露光などで高エネルギー放射線が照射された時のゲート絶縁膜の耐性を高めるために、 SiO_2 に代えてイットリア安定化立方晶ジルコニア(以下、YSZ と略記する)によりゲート絶縁膜を構成している。Si

O_2 や Ta_2O_5 が一般的にはアモルファス状態であるのに対して、ここで用いられている YSZ は結晶性を有する。

【0007】

さらに別な要請から、 SiO_2 以外の材料によりゲート絶縁膜を構成しようとする試みがある。例えば「JAPAN JOURNAL OF APPLIED PHYSICS 35, 4987, (1996)」(第5の文献)に開示されている方法では、電界効果型トランジスタのゲート絶縁膜として、強誘電性を持つ薄膜を用いてメモリー効果のあるトランジスタを実現することのための検討を行なっている。ここでは、特に強誘電性を持つ $PbZr_{1-x}Ti_xO_3$ (PZT) の薄膜をゲート絶縁膜として用いている。しかしながら、このPZT膜は直接Si基板上に形成することが困難であるので、PZT膜とSi基板との間に CeO_2 などの他の材料からなる絶縁膜を介在させている。

【0008】

【発明が解決しようとする課題】

しかしながら、上記各文献における SiO_2 膜の薄膜化や新たなゲート絶縁膜材料の開発には、以下に示すような幾つかの問題点がある。

【0009】

第1の文献においては、2006年にゲート膜厚1.5~2nmが達成されると予想されているが、それ以降、 SiO_2 膜の厚みを1.5nmよりも薄くすることが実現可能であるとは考えられておらず、また、それ以外の解決策も考えられていない。すなわち、 SiO_2 膜を1.5nm以下に薄膜化した状態でデバイスのゲート絶縁膜として用いることは不可能であると考えられている。1.5nmより薄い膜厚を有する SiO_2 膜においては、膜中を直接トンネル電流が流れてしまうためと考えられている。このような直接トンネル電流の発生はDRAMのメモリセルトランジスタにおいて特に重大な問題となる。よって、直接トンネル電流が発生しない膜厚で、所望の電荷を確保するためには、より高い誘電率を持ち、かつ諸特性(界面準位の密度が小さいことなど)が SiO_2 膜並みである新規なゲート絶縁膜材料が要望されている。

【0010】

第2の文献においては、1.5 nmの極めて薄い SiO_2 膜が形成されており、破壊耐圧、リーク特性、高周波特性などの特性は良好であることが報告されているが、一方、信頼性に関して重大な欠点が存在する。すなわち、極薄の SiO_2 膜をゲート絶縁膜として用いた場合、ゲート電極からの不純物（ボロンなど）の突き抜けの発生が顕著になるのである。例えば第2の文献中には、PMOSFETにおいて多結晶シリコンからなるゲート電極をゲート絶縁膜上に設けた場合、ドーパントとして用いているボロン（B）がゲート電極中から SiO_2 膜を通してSi基板中へと突き抜けてしまう様子が報告されている。

【0011】

第3の文献においては、耐圧向上を得るために導入した3層膜の構造により、 SiO_2 換算厚みを2.3 nmにすることが報告されているが、その界面準位密度は、2.3 nmの膜厚を有する SiO_2 膜の3倍もある。

【0012】

第4の文献においては、YSZからなるゲート絶縁膜を形成しているが、YSZは自動車エンジンの酸素センサーに用いられるほど、分子やイオンを通しやすい性質を有しているので、イオン伝導などの寄与によってゲート電極とチャネルの間でリーク電流が発生しやすい。すなわち、高い耐圧や信頼性を有するゲート絶縁膜を得ることが難しい。

【0013】

第5の文献においては、強誘電体膜であるPZT膜を形成する前に、 CeO_2 膜からなるバッファ層を形成する必要がある。PZT以外の強誘電体材料においても、Bi, Pb, Ta, Sr, Baなどの重金属を含むものが多いので、これらの金属がSi基板中へ拡散してチャネルの電気特性に悪影響を与えるおそれ大きい。同文献におけるSECONDARY ION MASS SPECTROMETRY (SIMS) 測定の結果でも、PbがSi基板中まで拡散していることが報告されている。加えて、これらの強誘電体材料が複合材料の酸化物であることから、強誘電体膜とSi基板との界面に SiO_2 領域が形成される可能性が大きい。両者間の界面に SiO_2 領域が形成されると、MOSトランジスタ構造におけるゲート電極に印加される電圧の大部分が誘電率の低い SiO_2 領域に印加されることが多く、強誘電体

膜自体にかかる実効電圧が低くなって、効率よくスイッチングが行われななどの問題もある。

【 0 0 1 4 】

本発明の目的は、上述のようなすでに報告されているゲート絶縁膜材料とは異なる優れた特性を発揮しうる材料をゲート絶縁膜材料として用いることにより、素子の微細化、高集積化の進展に十分対応しうる膜の形成方法及びこれを用いた半導体素子を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

本発明の半導体素子は、半導体基板上に絶縁膜と導体電極とを備えた半導体素子であって、上記絶縁膜の少なくとも一部が A 1 N 層により形成されている。

【 0 0 1 6 】

これにより、熱酸化法により形成されたシリコン酸化膜よりも誘電率の高い A 1 N 層を有する絶縁膜全体の単位面積当たりの容量値が高くなる。したがって、また、結晶性を有する緻密な A 1 N 層内には、欠陥や界面準位がほとんどないので、シリコン酸化膜と同等の良好な信頼性を発揮することができる。そして、この絶縁膜を電界効果トランジスタのゲート絶縁膜や、M I S キャパシタの容量絶縁膜として用いることが可能となる。

【 0 0 1 7 】

上記半導体素子において、上記半導体素子が電界効果トランジスタである場合には、上記絶縁膜は上記電界効果トランジスタのゲート絶縁膜として機能する。

【 0 0 1 8 】

上記半導体素子において、上記 A 1 N 層は、上記基板上にエピタキシャルに成長された単結晶層であることが好ましい。

【 0 0 1 9 】

上記半導体素子において、上記半導体基板の主面の面方位が (1 0 0) 面である場合には、上記 A 1 N を立方晶としてその面方位を (1 0 0) とすることができ。

【 0 0 2 0 】

上記半導体素子において、上記半導体基板がSiにより構成されていることにより、AlNとSiとの結晶構造の類似性を利用して、高い結晶性を有するAlN層が得られる。

【0021】

上記半導体素子において、上記半導体基板の表面におけるダングリングボンドがアルミニウム、窒素、水素、硫黄及びマグネシウムのうちいずれか1つによって終端されていることにより、半導体基板との界面における界面準位の密度を低減することができる。

【0022】

上記半導体素子において、上記絶縁膜に、上記AlN層と上記半導体基板の間に介在する窒化珪素層をさらに設けることにより、下地のSi基板の結晶性をそのまま保持しつつ、窒化珪素層の存在によって半導体基板の表面におけるダングリングボンドがさらに低減し、半導体基板との界面における界面準位の密度が極めて小さくなる。また、窒化珪素層により、AlN層を通して半導体基板側へ不純物が拡散するのを抑制することもできる。

【0023】

上記半導体素子において、上記絶縁膜に、上記AlN層の上に形成されAlNよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに設けることにより、半導体素子が電界効果トランジスタの構造を有している場合には、例えばMFISETとして機能する半導体素子を得られる。その場合、結晶性の高いAlN層の上に誘電体層を設けることにより、結晶性の高い正方晶の誘電体層が得られる。したがって、より誘電率の高い高誘電体膜や、より残留分極保持特性のよい強誘電体膜が得られることになる。

【0024】

上記半導体素子において、上記絶縁膜に、上記AlN膜の上に形成され、AlNよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに設け、上記誘電体層の上側及び下側のうち少なくともいずれか一方に結晶性を有する導電性膜が設けられて

いる場合には、例えばMFMISETとして機能する半導体素子が得られる。

【0025】

上記半導体素子において、上記AlN層に、酸素、水素、硫黄のうち少なくともいずれか1つを含ませて、上記AlN層内における上記半導体基板との格子不整合に起因する歪みを緩和することにより、経時劣化の少ない絶縁膜を有し信頼性の高い半導体素子が得られる。

【0026】

上記半導体素子において、上記AlN層の半導体基板との格子不整合を拡大させて、上記AlN層の誘電率を高めることもできる。

【0027】

本発明の第1の膜の形成方法は、主面の面方位が(100)である半導体基板の上に、Al原子層及びN原子層のうちいずれか一方の原子層を形成する工程(a)と、上記一方の原子層の上に、Al原子層及びN原子層のうちの他方の原子層を形成する工程(b)とを交互に繰り返すことにより、(100)面を有する立方晶のAlN層を形成する方法である。

【0028】

この方法により、汎用されている(100)基板の上に結晶性の高いAlN層が形成される。(111)基板の上には、本来の結晶構造である六方晶のウルツ鉱型構造であるAlN層が形成されるが、(111)基板は、コストの面で量産に用いることは困難である。それに対し、汎用されている(100)基板を用いることにより、本来六方晶のウルツ鉱型構造であるAlNを、ダイヤモンド型結晶構造のSi基板に連続して立方晶の閃亜鉛鉱型構造で結晶成長させることができる。そして、結晶性の高いAlN層をゲート絶縁膜として有する電界効果トランジスタや、AlN膜を容量絶縁膜として有するキャパシタの製造に供することができる。

【0029】

上記第1の膜の形成方法において、上記Al原子層及びN原子層の堆積を、分子線エピタキシ法(MBE法)又は有機金属気相成長法(MOVPE法)により行なうことが好ましい。

【0030】

上記第1の膜の形成方法において、上記半導体基板としてSi基板を用いることが好ましい。

【0031】

上記第1の膜の形成方法において、上記工程(a)の前に、上記半導体基板の表面部を窒化して窒化珪素層を形成する工程をさらに備え、上記工程(b)では、上記窒化珪素層の上に上記一方の原子層を形成することにより、半導体基板の表面におけるダングリングボンドをより低減することができる。

【0032】

上記第1の膜の形成方法において、上記工程(a)及び(b)のうち少なくともいずれか一方では、酸素、水素及び硫黄のうち少なくともいずれか1つを添加することにより、上記AlN層内における上記半導体基板との格子不整合に起因する歪みを緩和することができる。また、主面が(100)面からAlN層との格子不整合が拡大させる方向に傾いた半導体基板を用いることにより、上記AlN層の誘電率を高めることもできる。

【0033】

本発明の第2の膜の形成方法は、半導体基板の表面を窒素、水素、硫黄及びマグネシウムのうちいずれか1つを含む雰囲気中に曝し、半導体基板の表面上のダングリングボンドを終端させる工程(a)と、半導体基板の上に、結晶性のAlN層を形成する工程(b)とを備えている。

【0034】

この方法により、半導体基板の表面におけるダングリングボンドが終端された状態でAlN層が形成されるので、界面準位密度の小さい劣化特性などの優れたAlN膜が得られる。

【0035】

上記第2の膜の形成方法において、上記工程(b)の前に、上記半導体基板の表面部を窒化して窒化珪素層を形成する工程をさらに備え、上記工程(b)では、上記窒化珪素層の上に結晶性のAlN層を形成することにより、半導体基板の表面におけるダングリングボンドをより確実に終端させることができる。

【0036】

上記第2の膜の形成方法において、上記工程(b)では、上記AlN膜に酸素、水素及び硫黄のうち少なくともいずれか1つを添加することにより、上記AlN層内における上記半導体基板との格子不整合に起因する歪みを緩和することが好ましい。

【0037】

【発明の実施の形態】

- AlNの基本特性について -

本発明の実施形態について説明する前に、本発明においてゲート絶縁膜などの新たな材料として用いるAlN膜の基本特性について説明する。

【0038】

図7は、Siに対するAlN及びSiO₂のエネルギーバンドのバンド不連続値を比較するためのバンド図である。

【0039】

同図に示されるように、SiO₂のバンドギャップ(伝導帯-価電子帯のエネルギーレベルの差、つまり禁止帯の幅)は約9 eVである。そして、SiO₂の価電子帯端とSiの価電子帯端との間には約-4.7 eVのバンド不連続が存在する。また、SiO₂の伝導帯端とSiの伝導帯端との間には約3.2 eVのバンド不連続が存在する。一方、AlNのバンドギャップは約6.4 eVである。そして、AlNの価電子帯端とSiの価電子帯端との間には約-3.0 eVのバンド不連続が存在する。また、AlNの伝導帯端とSiの伝導帯端との間には約2.1 eVのバンド不連続が存在する。すなわち、AlNとSiとの間のバンド不連続値は、SiO₂とSiとの間のバンド不連続値の64% (価電子帯側)、66% (伝導帯側)である。

【0040】

しかも、AlN膜中には、キャリアを発生する不純物や欠陥が極くわずかしか存在しないことから、高い絶縁性を保持することができる。また、AlNはSiとの界面におけるSiのダングリングボンドが少ないことから、Siとの界面における界面準位密度も極めて低い。

【0041】

これらのことは、Siとこれに対向する導体部材との間にAlN膜を介在させることによって、AlN膜をゲート絶縁膜やその他の障壁層として十分利用することができることを示している。

【0042】

また、Si結晶はダイヤモンド構造を有し、AlN結晶は閃亜鉛鉱型の結晶構造に類似したウルツ鉱型の結晶構造を有している。立方晶の一種である閃亜鉛鉱型の結晶構造はダイヤモンド型構造における同一種の原子を1つ置きに異種原子に置き換えた構造であるので、ダイヤモンド型結晶体の上に閃亜鉛鉱型結晶体をエピタキシャル成長させるのは容易である。一方、六方晶の一種であるウルツ鉱型結晶体をダイヤモンド型結晶体の上にエピタキシャル成長させるのは一般的には困難である。しかし、ウルツ鉱型結晶構造と閃亜鉛型結晶構造とは、(111)面においては原子の配置位置が同じである。すなわち、主面が(111)面であるSi基板（以下、(111)Si基板という）上には、Si基板上に六方晶のウルツ鉱型のAlN層がエピタキシャル成長する。このことは従来より知られている。

【0043】

ところが、本発明者は、AlN結晶体が十分薄い場合には、主面が(100)面であるSi基板（以下、(100)Si基板という）上に、立方晶の閃亜鉛鉱型の結晶構造を有する(100)AlN層が形成されることに着目した。AlN層は、本来のウルツ鉱型結晶体である場合にはもちろんのこと、閃亜鉛型結晶体である場合にも高い結晶性を有する。

【0044】

そして、AlNを成長させるときの条件や、Si基板の面方位を適切に選ぶことにより、単結晶シリコン層の上に結晶性の高いAlN膜をエピタキシャル成長させることができる。

【0045】

一方、AlNの比誘電率は9であり、熱酸化により形成されたSiO₂の比誘電率3.9に比べて大幅に大きい。そのために、AlNをゲート絶縁膜などの材

料として用いることにより、単位面積当たりの容量値を大幅に向上させることができ、また、同じ容量値を得るために SiO_2 膜ほど薄膜化する必要がない。つまり、キャリアの直接トンネルリークを抑制しつつ、蓄積電荷量の向上を図ることが可能であるので、半導体素子の微細化、高集積化の進展にも十分対応することができる。

【0046】

なお、 Si 基板上へのIII族窒化物結晶薄膜の形成に関しては、第6の文献“T. Lei and T. D. Moustakas J. Appl. Phys. 71, 4934 (1992)”、および第7の文献“A. Watanabe, T. Takeuchi, K. Hirose, H. Amano, K. Hiramatsu and I. Akasaki, J. Crystal Growth, 128, 391, (1993)”がある。

【0047】

しかし、いずれの文献においても、 AlN 膜を GaN 膜を形成する前のバッファ層として用いるものであり、ゲート絶縁膜などの素子の要素として用いるための工夫はみられない。

【0048】

(第1の実施形態)

本発明の第1の実施形態においては、分子線エピタキシ(MBE)装置を使った分子線エピタキシ法による基本的な AlN 膜の形成方法について説明する。図1(a)～(d)は、第1の実施形態における AlN 膜の形成手順を示す断面図である。

【0049】

なお、 Si 基板への AlN 絶縁膜の形成は、後述するように、MBE装置以外の装置を用いても可能である。

【0050】

まず、図1(a)に示す工程において、素子を作製するための Si 基板1の洗浄を行なった後、 Si 基板1を弗化水素(HF)や弗化アンモニウム(NH_4F)を含む液に浸漬し、水洗、乾燥してから直ちに結晶成長のためのMBE装置内に導入する。この時、 Si 基板表面は水素(H)原子や極薄の SiO_2 アモルファス層で被覆されている。 Si 基板1の主面は(100)面であることが望まし

いが、(111)面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE装置内においては、100～400℃の範囲までSi基板1を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。

【0051】

その後、さらにSi基板1を昇温して800～900℃の範囲の温度に保持する。この時、Si基板1の表面を被覆していたH原子や薄いSiO₂アモルファス層が脱離し、図1(a)に示すごとくダングリングボンド2が残される。

【0052】

そして、図1(d)に示す工程において、MBE成長法により、Al原子層を形成するための原料と、N原子層を形成するための原料とを交互に供給して、Al原子層とN原子層とを1原子層ずつ交互に積層していくことにより、数10層のAlN結晶層7が形成される。

【0053】

ここで、図1(a)から図1(d)に移行する過程において、Si基板1とAlN結晶層7とが結合している界面領域の原子の種類によって2通りの構造が形成される可能性がある。

【0054】

上述のように、AlN結晶層7の(100)面および(111)面においては、いずれもAl原子3だけで構成される面と、N原子4だけで構成される面とが交互に現れる。したがって、図1(b)に示すように、AlN結晶層7内に、Si基板1の表面のSi原子とAl原子3とが互いに結合している界面領域5aが形成される場合と、図1(c)に示すように、AlN結晶層7内に、Si基板1の表面のSi原子とN原子4とが互いに結合している界面領域5bが形成される場合とがある。図1(b)に示す状態と図(b)に示す状態とのうちいずれが発生するかは、MBE成長においてAl原子層形成用原料を先に供給するか、N原子層形成用原料を先に供給するかによって定まる。

【0055】

AlN結晶層7の特性は、AlN結晶層7が図1(b)に示す界面領域5aを有する場合と図1(c)に示す界面領域5bを有する場合とで全く等価ではない

が、いずれの場合であっても AlN 結晶層 7 が結晶性のよい構造を有している点では一致している。

【0056】

ただし、Si 基板 1 内に p 型不純物として機能する Al 原子が侵入することは好ましくないので、図 1 (c) に示す状態のほうが好ましい場合が多い。つまり、N 原子層を形成するための原料ガスを先に供給するほうが好ましい場合が多いといえる。

【0057】

(第 2 の実施形態)

第 2 の実施形態においては、分子線エピタキシ (MBE) 装置を使った分子線エピタキシ法による基本的な AlN 膜の形成方法の別例について説明する。図 2 (a) ~ (g) は、本実施形態における AlN 膜の形成工程を示す断面図である。

【0058】

まず、第 1 の実施形態における最初の処理と同様に、素子を作製するための Si 基板 1 の洗浄を行なった後、Si 基板 1 を弗化水素 (HF) や弗化アンモニウム (NH_4F) を含む液に浸漬し、水洗、乾燥してから直ちに結晶成長のための MBE 装置内に導入する。この時、Si 基板表面は水素 (H) 原子や極薄の SiO_2 アモルファス層で被覆されている。Si 基板 1 の主面は (100) 面であることが望ましいが、(111) 面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE 装置内においては、100~400℃の範囲まで Si 基板 1 を昇温することにより、Si 基板 1 の表面に残る水分や吸着ガスを除去する。

【0059】

ここで、第 1 の実施形態においては、その後、さらに Si 基板 1 を昇温して 800~900℃の範囲の温度に保持することにより、Si 基板の上にダングリングボンドを残してその上に AlN 結晶層を形成したが、本実施形態においては、Si 基板 1 の表面に終端原子を残してその上に AlN 結晶層を形成する。

【0060】

図 2 (a) に示すように、Si 基板 1 の表面が水素原子 10 によって覆われている場合には、その後の基板温度の昇温を 500℃ 付近までにとどめる。

【0061】

そして、図 2 (d) に示すように、水素原子 10 をそのまま残して、これをダングリングボンドの終端原子 12 として保持する。

【0062】

一方、Si 基板 1 の表面が SiO₂ アモルファス層や他の化学種や薄膜によって覆われている場合には、Si 基板 1 をさらに 800～900℃ の範囲の温度に保持する。この時、表面を被覆していた他の化学種や薄い SiO₂ アモルファス層が Si 基板 1 の表面から脱離する。すると、図 2 (b) に示すように、Si 基板 1 の表面上にダングリングボンド 2 が残される。そこで、図 2 (c) に示すように、終端用化学種 11 を Si 基板 1 上のダングリングボンド 2 に供給する。

【0063】

その結果、図 2 (d) に示すように、この化学種 11 を終端原子 12 として残して、ダングリングボンド 2 を終端させる。このときに用いる終端用化学種 11 としては、水素 (H)、Mg、硫黄 (S)、窒素 (N)、アルミニウム (Al) などのうちのいずれか 1 つが選ばれる。

【0064】

以上のように、いずれにしても、Si 基板 1 の表面上のダングリングボンドを終端原子 12 によって終端させてから、AlN のエピタキシャル成長処理を行なう。

【0065】

そして、図 2 (g) に示す工程において、AlN 結晶層 7 が形成される。ここで、図 2 (d) から図 2 (g) に移行する過程において、第 1 の実施形態において説明したように、MBE 成長を行なう際に最初に供給する原料ガスの種類によって AlN 結晶層 7 の界面領域の最下端の原子が Al か N かが定まるのであるが、Si 基板 1 の表面上の終端原子 12 の種類によって、最下端に Al 原子 3 が付着しやすいか N 原子 4 が付着しやすいかが変わることがある。

【0066】

そして、AlN結晶層7の(100)面および(111)面においては、いずれもAl原子3だけで構成される面と、N原子4だけで構成される面とが交互に現れる。したがって、図2(e)に示すように、AlN結晶層7内に、Si基板1の表面の終端原子12とAl原子3とが互いに結合している界面領域5aが形成される場合と、図2(f)に示すように、AlN結晶層7内に、Si基板1の表面の終端原子12とN原子4とが互いに結合している界面領域5bが形成される場合とがある。AlN結晶層7の特性は、AlN結晶層7が図2(e)に示す界面領域5aを有する場合と図2(f)に示す界面領域5bを有する場合とで全く等価ではないが、いずれの場合であっても、AlN結晶層7が結晶性のよい構造を有している。

【0067】

ただし、本実施形態においても、Si基板1内にp型不純物として機能するAl原子が侵入することは好ましくないので、図2(f)に示す状態のほうが好ましい場合が多い。つまり、N原子層を形成するための原料を先に供給するほうが好ましい場合が多いといえる。

【0068】

本実施形態の方法によると、図2(d)に示す工程において、Si基板1の表面におけるダングリングボンドを終端原子12によって終端させてから、AlN結晶の成長処理を行なうので、第1の実施形態の方法に比べ、形成されたAlN結晶層7内における界面準位の密度をより確実に低減できる効果がある。

【0069】

また、本実施形態においては、AlN結晶層5とSi基板1との間に、終端原子12からなる1原子層が介在した状態となるので、終端原子12を構成する化学種を適宜選択することによって、Al原子のSi基板1への侵入をより効果的に抑制することができる利点がある。

【0070】

(第3の実施形態)

第3の実施形態においては、例えばMFISFETなどとして機能する3端子もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、AlN結晶層

に別の結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。
図 3 (a) ~ (c) は、第 3 の実施形態における AlN 膜及び誘電体薄膜の積層膜を形成する工程を示す断面図である。

【 0 0 7 1 】

まず、図 3 (a) , (b) に示す工程においては、上述の第 1 又は第 2 の実施形態の形成工程を利用して、Si 基板 1 の上に AlN 結晶層 7 を形成する。

【 0 0 7 2 】

その後、図 3 (c) に示す工程において、AlN 結晶層 7 の上に、結晶性を有する誘電体薄膜 8 を形成する。この誘電体薄膜 8 を構成する誘電体材料としては、少なくともその比誘電率 (ϵ_r) が直接酸化の SiO_2 膜の比誘電率 3.9 よりも大きな値を持つものを用いることが望ましい。さらに、この誘電体薄膜 8 の上にゲート電極用ポリシリコン膜 9 を形成する。

【 0 0 7 3 】

この誘電体薄膜 8 を構成する材料は、高い結晶性を持つことが望ましいがアモルファスでも良い。高い結晶性を有する誘電体薄膜 8 を形成したい場合には、(111) Si 基板上では六方晶 (ウルツ鉱型構造) の (0001) 面が Si 基板の (111) 面と整合するので、六方晶構造を有する誘電体材料を用いるほうが好ましい。また、(100) Si 基板上では立方晶 (閃亜鉛型構造) の (100) 面が Si 基板の (100) 面と整合するので、立方晶構造を有する誘電体材料を用いるほうが好ましい。ただし、誘電体薄膜が極めて薄い場合には、Si 基板 1 の結晶構造をそのままもつことができるので、必ずしも以上の組み合わせに限定されるものではない。

【 0 0 7 4 】

また、誘電体薄膜 8 が結晶性を有する場合には、その格子定数が AlN 結晶層 7 の格子定数か、あるいは Si 基板 1 の格子定数に近いことが望ましい。具体的に、誘電体薄膜 8 を構成する誘電体材料の例としては、例えば Si との格子不整合率が -0.37% である CeO_2 や、Si との格子不整合率が -5.4% である ZrO_2 、あるいはそれらの混晶などが考えられる。

【 0 0 7 5 】

また、誘電体薄膜 8 を構成する誘電体材料として、例えば AlN との格子不整合率が 4.5% である MgO などを用いてもよい。

【0076】

以上のような材料によって誘電薄膜 8 を構成することにより、AlN 結晶層 7 と誘電体薄膜 8 とを併せた積層体全体の比誘電率 ϵ_r を SiO_2 膜の比誘電率の 2 倍以上にすることができる。すなわち、AlN 結晶層 7 と誘電体薄膜 8 とを併せた積層体全体をゲート絶縁膜として用いることにより、単位面積当たりの容量値の高いゲート絶縁膜を実現することができる。

【0077】

また、この誘電体薄膜 8 には、単に誘電率が大きいだけでは無く、強誘電性を持った結晶性薄膜を用いてもよい。その場合、強誘電体材料として、例えばチタン酸バリウム (BaTiO_3)、PZT ($\text{PbZrO}_3 - \text{PbTiO}_3$)、PLZT (Pb, La, Zr, Ti を含む酸化物) などがある。この場合、結晶性の高い AlN 結晶層 7 の上に強誘電体材料を形成することによって、この強誘電性を持つ誘電体薄膜 8 の結晶性を、アモルファス構造を有する薄膜上に誘電体薄膜 8 を形成する場合に比べて格段に高くすることができる。その結果、高い結晶性と強誘電性とを有する誘電体薄膜 8 の誘電率を格段に高くことができ、AlN 結晶層 7 と誘電体薄膜 8 とからなる積層体全体の比誘電率 (ϵ_r) も大幅に高くなる。

【0078】

その際、高い結晶性を有する AlN 結晶層 7 は、誘電率が AlN よりも高い又は強誘電性を有する誘電体薄膜 8 を Si 基板 1 上に積層する際のバッファ層として機能する。

【0079】

そして、AlN 結晶層 7 は高い結晶性を有しており緻密なので、重金属などを含む高誘電体材料又は強誘電体材料からなる誘電体薄膜 8 からの不純物の拡散を抑制することができる。とともに、AlN 結晶層 7 自体の誘電率が高いことからゲート電極に印加した電圧がバッファ層である AlN 結晶層 7 にかかる割合をバッファ層として SiO_2 膜を用いた場合に比べて、1/2 以下に低減することがで

きる。

【0080】

また、A1N結晶層7が高い結晶性を有することから、A1N結晶層7の上に形成される誘電体薄膜8も、A1N結晶層7の結晶性を反映して高度に配向あるいは結晶化するので、より高い誘電率を発揮し、あるいはより安定な残留分極保持特性を実現することができる。

【0081】

(第4の実施形態)

第4の実施形態においては、MFMI SFET等として機能する3端子もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、A1N結晶の上下に別の結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。図4(a)～(e)は、第4の実施形態におけるA1N結晶層、結晶性誘電体薄膜、導電性薄膜、強誘電体膜の積層膜を形成する工程を示す断面図である。

【0082】

まず、図4(a)，(b)に示す工程においては、上述の第1又は第2の実施形態の形成工程を利用して、Si基板1の上にA1N結晶層7を形成する。

【0083】

その後、図4(c)に示す工程において、A1N結晶層7の上に、結晶性を有する第1の導電性薄膜21を形成する。結晶性を有する第1の導電性薄膜21を構成する材料としては例えば CoSi_2 などが考えられる。

【0084】

その後、図4(d)に示す工程において、第1の導電性薄膜21の上に高誘電性もしくは強誘電性材料からなる結晶性誘電体薄膜22を形成する。結晶性誘電体薄膜22を構成する材料としては、例えばチタン酸バリウム(BaTiO_3)，PZT($\text{PbZrO}_3 - \text{PbTiO}_3$)，PLZT(Pb, La, Zr, Ti を含む酸化物)などがある。

【0085】

次に、図4(e)に示す工程において、結晶性誘電体薄膜22の上に第2の導電性薄膜23を形成する。結晶性を有する第2の導電性薄膜23を構成する材料

としては例えば CoSi_2 などが考えられる。

【0086】

ここで、第1の導電性薄膜21および第2の導電性薄膜23は、結晶性誘電体薄膜22の上下に設けられているが、上方又は下方のうちいずれか一方のみに設けてもよい。

【0087】

本実施形態の積層膜をパターンニングして、ゲート構造をソース・ドレイン領域とを形成することにより、結晶性誘電体薄膜22を不揮発性半導体記憶装置の浮遊ゲート電極として機能させることが可能になる。そして、結晶性誘電体薄膜22に蓄積された電荷を、第1の導電性薄膜21あるいは第2の導電性薄膜23あるいはその両方との間で移動させることにより、データの消去や書き込みを行なうことができる。

【0088】

(第5の実施形態)

第5の実施形態においては、例えばMFI SFETなどとして機能する3端子もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、AlN結晶層に別の非結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。図5(a)～(c)は、第5の実施形態におけるAlN膜及び非結晶層の積層膜を形成する工程を示す断面図である。

【0089】

まず、図5(a)に示す工程において、素子を作製するためのSi基板1の洗浄を行なった後、Si基板1を弗化水素(HF)や弗化アンモニウム(NH_4F)を含む液に浸漬し、水洗、乾燥してから直ちに窒化と、MBE成長を行なうための装置内に導入する。この時、Si基板表面は水素(H)原子や極薄の SiO_2 アモルファス層で被覆されている。Si基板1の主面は(100)面であることが望ましいが、(111)面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。装置内においては、100～400℃の範囲までSi基板1を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。

【0090】

その後、さらに Si 基板 1 を昇温して 800～900℃の範囲の温度に保持する。この時、Si 基板 1 の表面を被覆していた H 原子や薄い SiO₂ アモルファス層が脱離する。

【0091】

そして、図 5 (b) に示す工程において、乾燥させた NH₃ ガスあるいは N₂O ガス、あるいはラジカル活性化した窒素ガスを Si 基板 1 上に供給し、Si 基板 1 の表面の Si を窒化して、Si₃N₄ などの窒化珪素化合物からなる非結晶性のシリコン窒化層 25 を形成する。その場合、清浄・平滑な Si 基板表面に高周波セルやヘリコンプラズマセルによって発生された窒素分子・原子励起種を照射するか、あるいは高い熱を与えられて活性化したアンモニア、あるいはその派生分子・イオンを照射することによって直接 Si を窒化して得られている。この層は 1 分子～数分子層の極めて薄い層で、アモルファス化せず、高い周期性を維持した層であることが望ましい。

【0092】

その後、図 5 (c) に示す工程において、MBE 成長法により、結晶性の AlN 薄膜 26 を積層する。この時、AlN 薄膜 26 の下地となるシリコン窒化層 25 は非結晶性を有するが、その膜厚が非常に薄く、かつ、新たな窒化膜を CVD などにより堆積するのではなく Si 基板 1 を窒化させて形成していることから、シリコン窒化層 25 には Si 基板 1 の結晶構造に関する規則性が保持されている。そのため、シリコン窒化層 25 の上に形成される AlN 薄膜 26 も、Si 基板 1 内の結晶構造に倣ってほぼエピタキシャル成長といえる状態で形成されることになり、高い結晶性を実現することが可能である。

【0093】

そして、シリコン窒化層 25 が存在することにより、Si 基板 1 の表面のダングリングボンドが窒素によって終端されることになり、界面準位の密度が極めて小さくなる。すなわち、AlN 薄膜 26 とシリコン窒化層 25 との積層膜を電界効果トランジスタのゲート絶縁膜として用いることにより、高い誘電率と高い耐性とを有するゲート絶縁膜が得られることになる。

【0094】

(第6の実施形態)

第6の実施形態においては、AlN膜とSi基板との格子不整合に起因するAlN膜中の歪みを緩和するための方法について説明する。本実施形態においては、上記第1～第5の実施形態における工程を応用して説明するので、工程を示す図は省略する。

【0095】

本実施形態においても、上記各実施形態におけると同様に、素子を作製するためのSi基板の洗浄を行なった後、Si基板を弗化水素(HF)や弗化アンモニウム(NH₄F)を含む液に浸漬し、水洗、乾燥してから直ちに結晶成長のためのMBE装置内に導入する。この時、Si基板表面は水素(H)原子や極薄のSiO₂アモルファス層で被覆されている。Si基板の主面は(100)面であることが望ましいが、(111)面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE装置内においてSi基板を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。その後、さらにSi基板を昇温して、Si基板1の表面を被覆していたH原子や薄いSiO₂アモルファス層を脱離させる。

【0096】

その後、第1～第5の実施形態において説明したように、Si基板上に直接あるいは薄い窒化膜を介してAlN膜を形成する。その際、上記第1～第5の実施形態において説明したMBE成長において、酸素、水素、硫黄などを不純物としてAlN結晶層7(又はAlN薄膜26)内に連続的に添加する。酸素あるいは水素はMBE装置中に配設されているガスバルブ又はガスセルから供給される。その際、それぞれの分子のまま供給することも可能であり、高周波を印加したラジカル、イオン又は原子の状態で活性化して供給することも可能である。また、硫黄は一般的なKセルを用いて供給することも可能であり、バルブクラッキングセルなどを用いてクラッキングされた状態で供給することも可能である。

【0097】

以上の添加元素は、単独又は2種以上が混合されて添加される。また、これらの元素の添加量はドーパントレベルであって、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$

m^{-3} の範囲でよい。

【0098】

以上の添加物を含むAlN層を、各種トランジスタのゲート絶縁膜として用いても、これらの添加物は電気特性を悪化させる原因となる電流のリークには寄与することがなく、ゲート絶縁膜の絶縁特性を悪化させることはない。

【0099】

そして、特に上述の不純物が $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ の範囲でAlN層に添加することにより、Si基板とは格子定数が異なるAlN層に生じる格子不整合に起因する歪みを緩和することができる。その結果、AlN層における転位などの結晶欠陥の導入が抑制され、AlN層の結晶性が向上する。このように歪みが緩和されているために、時間の経過によって生じる特性の劣化や、加熱過程を経ることによる劣化の進行を抑制することができ、AlN層をゲート絶縁膜又はゲート絶縁膜の一部として構成される半導体素子の信頼性を向上させることができる。

【0100】

また、以上のAlN層の歪みを緩和する方法とは逆に、Si基板の主面を(100)面から傾けて、AlN層内の歪みを増大させることにより、AlN層の誘電率を向上させることも可能である。

【0101】

(第7の実施形態)

本実施形態においては、上記第1、第2、第3、第5の実施形態に示す方法で形成されたAlN層(AlN結晶層7又はAlN薄膜26)(又はAlN層と他の薄膜との積層膜)からなるゲート絶縁膜を有する半導体素子の1つである電界効果トランジスタの構造について説明する。図6は、第7の実施形態における電界効果トランジスタの断面図である。

【0102】

同図に示すように、Si基板51の上には素子分離用絶縁膜であるLOCOS膜52が形成されている。そして、Si基板51のLOCOS膜52によって囲まれる活性領域上には、AlN層のみ又はAlN層と他の薄膜とからなるゲート

絶縁膜 53 と、低抵抗のポリシリコン層 54 a 及びシリサイド層 45 b からなるゲート電極 54 と、ゲート電極 54 の両側面上に形成されたシリコン酸化膜からなる絶縁体サイドウォール 55 とが設けられている。また、Si 基板 1 内において、ゲート絶縁膜 53 の直下方に位置する領域（チャネル領域）を挟む低濃度ソース・ドレイン領域（LDD 領域）56 と、低濃度ソース・ドレイン領域 56 の外側に形成された高濃度ソース・ドレイン領域 57 とが設けられている。この低濃度ソース・ドレイン領域 56 及び高濃度ソース・ドレイン領域 57 中の不純物は、当該電界効果トランジスタが p チャネル型である場合には p 型不純物（ボロンなど）であり、当該電界効果トランジスタが n チャネル型である場合には n 型不純物（ヒ素、リンなど）である。

【0103】

上述のように、3 端子又は 4 端子電界効果トランジスタにおいて、ゲート絶縁膜を結晶性の高い AlN 層（又は AlN 層と他の薄膜との積層膜）によって構成することにより、ゲート絶縁膜の単位面積当たりの容量値を熱酸化法によって形成される SiO₂ 膜に比べて大幅に向上させることができる。したがって、AlN 層を有するゲート絶縁膜の場合、同じ容量値を有する場合には SiO₂ 膜よりも膜厚を大きくすることができるので、ゲート絶縁膜におけるキャリアの直接トンネルによるリークがほとんど生じない。また、AlN が大きなバンド不連続量を持つことと、AlN 層中にキャリアを発生する不純物や欠陥が極わずかしき存在しないことから高い絶縁性を保つことができる。

【0104】

さらに、AlN と Si との結晶構造の類似性及び格子定数の近似性により、結晶性の Si 基板上には結晶性の AlN 層が結晶成長されるので、Si 基板との界面領域におけるダングリングボンドの発生を抑制することができ、界面準位の密度も直接酸化により形成された SiO₂ 膜と同等あるいはそれ以下に抑制することができる。

【0105】

（その他の実施形態）

上記各実施形態においては、AlN 層（AlN 結晶層 7 又は AlN 薄膜 26）

をMBE法により形成したが、化学気化堆積 (Chemical Vaporization Deposition: CVD) 法、有機金属気相成長 (Metal Organic Vapor Phase Epitaxy: MOVPE) 法、ハイドライド気相成長 (Hydride Vapor Phase Epitaxy: HVPE) 法、スパッタ法などによっても、結晶性を有するAlN層を形成することが可能である。

【0106】

また、上記各実施形態においては、AlN層をMOSトランジスタのゲート絶縁膜として用いたが、AlN層をMISキャパシタ又はMIMキャパシタの容量絶縁膜として用いることも可能である。

【0107】

さらに、Si基板だけでなくGaAs基板上に高い結晶性を有するAlN層を成長させることが可能である。

【0108】

【発明の効果】

本発明の半導体素子によれば、半導体基板上に絶縁膜と導体電極とを設け、絶縁膜の少なくとも一部をAlN層により形成することにより、欠陥や界面準位がほとんどなくシリコン酸化膜と同等の良好な信頼性を有し誘電率の高い結晶性のAlN層を利用して、絶縁膜全体の単位面積当たりの容量値の向上を図ることができ、よって、微細化、高集積化の進展に対応しうる半導体素子の提供を図ることができる。

【0109】

本発明の第1の膜の形成方法によれば、主面の面方位が(100)である半導体基板の上に、Al原子層及びN原子層を交互に形成することにより、(100)面を有する立方晶のAlN層を形成するようにしたので、汎用されている(100)基板を利用して、AlN層をゲート絶縁膜として有する電界効果トランジスタや、AlN膜を容量絶縁膜として有するキャパシタの量産を図ることができる。

【0110】

本発明の第2の膜の形成方法によれば、半導体基板の表面上のダングリングボ

ンドを終端させてから、半導体基板の上に、結晶性のAlN層を形成するようにしたので、界面準位密度の小さい劣化特性などの優れたAlN膜の提供を図ることができる。

【0111】

本発明の第3の膜の形成方法によれば、MFISET構造において、高い結晶性と高い誘電率とを有するAlNを絶縁膜として用いることにより、AlN層上に形成される強誘電体層がより安定な残留分極保持特性を有するようなMFISETを実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るAlN結晶層の形成工程を示す断面図である。

【図2】

本発明の第2の実施形態に係るAlN結晶層の形成工程を示す断面図である。

【図3】

本発明の第3の実施形態に係るMFISETなどに使用されるAlN結晶層、誘電体薄膜及びゲート用ポリシリコン膜の形成工程を示す断面図である。

【図4】

本発明の第4の実施形態に係るMFMISETなどに使用されるAlN結晶層、結晶性誘電体薄膜及び第1、第2の導電性薄膜の形成工程を示す断面図である。

【図5】

本発明の第5の実施形態に係るMISFETなどに使用されるシリコン窒化層、AlN薄膜及びポリシリコン膜の形成工程を示す断面図である。

【図6】

本発明の第7の実施形態に係るMISFETの構造を示す断面図である。

【図7】

Si結晶、SiO₂誘電体及びAlN結晶のエネルギーバンドを示すバンド図である。

【符号の説明】

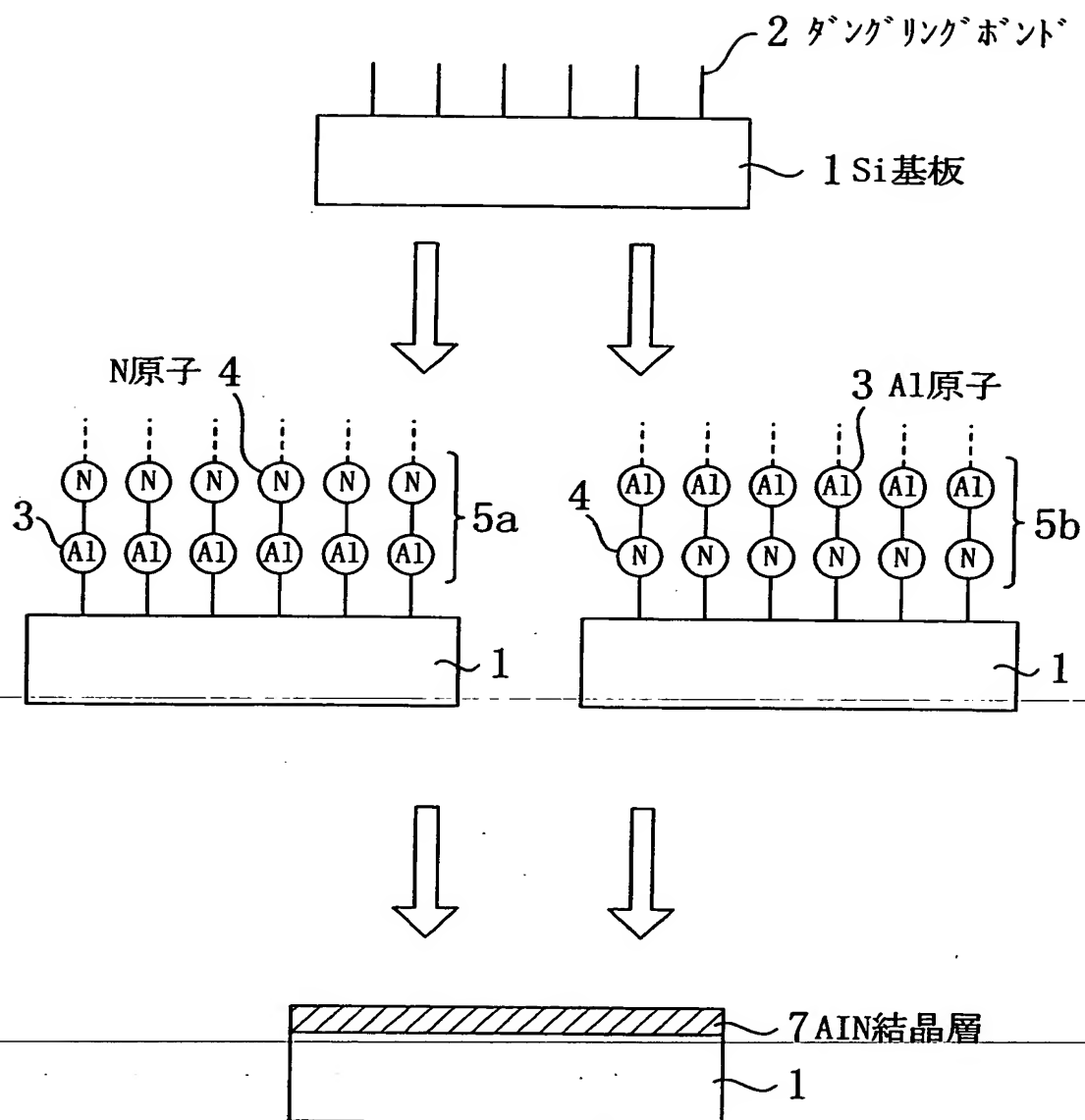
- 1 S i 基板
- 2 ダングリングボンド
- 3 A l 原子
- 4 N 原子
- 5 界面領域
- 7 A l N 結晶層
- 8 誘電体薄膜
- 9 ポリシリコン膜
- 1 0 水素原子
- 1 1 終端用化学種
- 1 2 終端原子
- 2 1 第 1 の導電性薄膜
- 2 2 結晶性誘電体薄膜
- 2 3 第 2 の導電性薄膜
- 2 5 シリコン窒化層
- 2 6 A l N 薄膜
- 5 1 S i 基板
- 5 2 L O C O S 膜
- 5 3 ゲート絶縁膜
- 5 4 ゲート電極
- 5 4 a 低抵抗ポリシリコン層

- 5 4 b シリサイド層
- 5 5 絶縁体サイドウォール
- 5 6 低濃度ソース・ドレイン領域
- 5 7 高濃度ソース・ドレイン領域

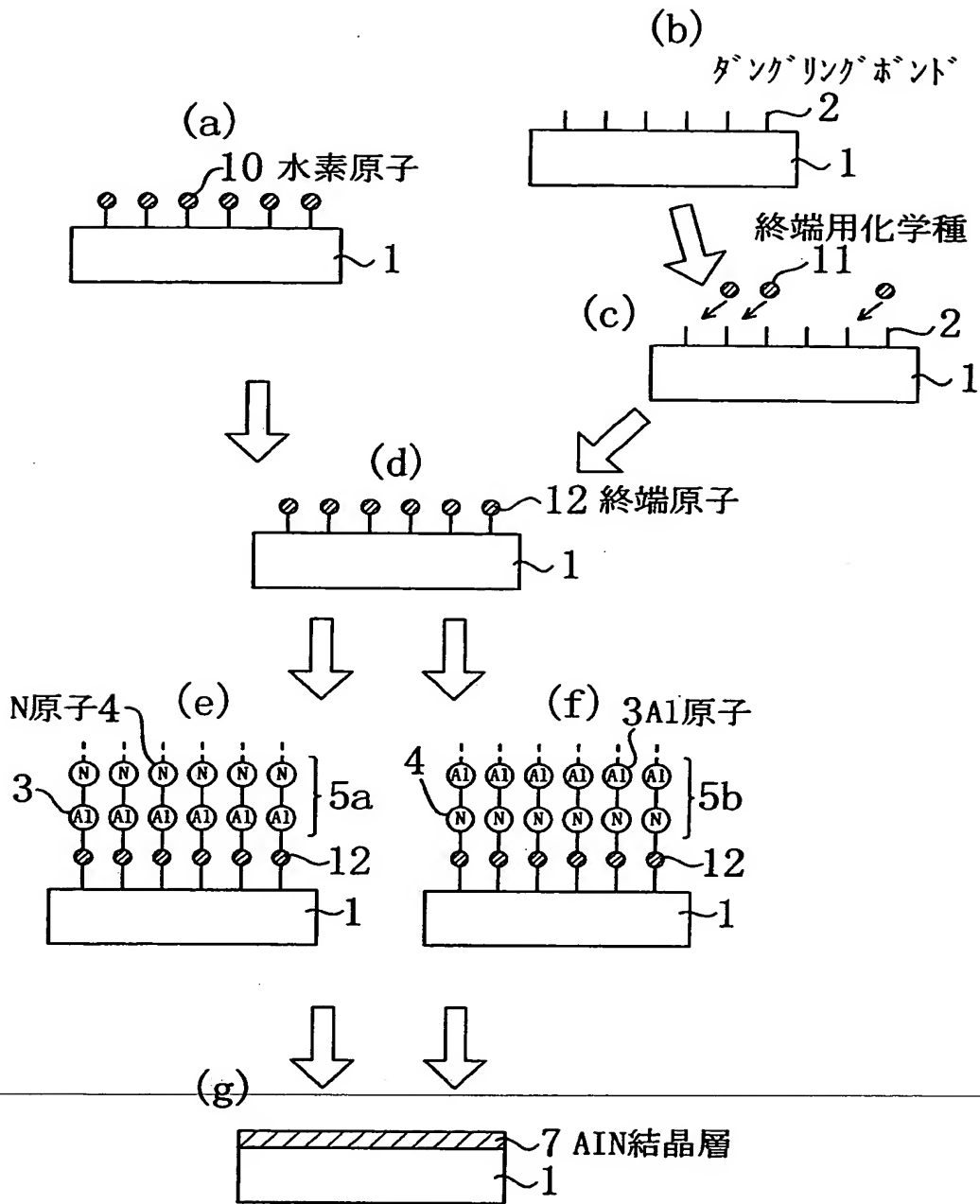
【書類名】

図面

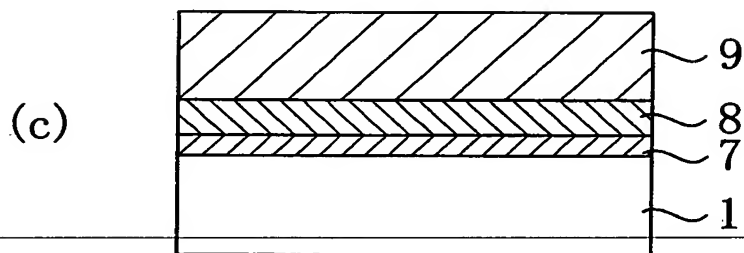
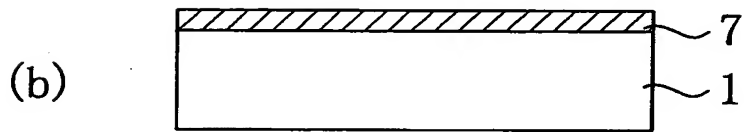
【図 1】



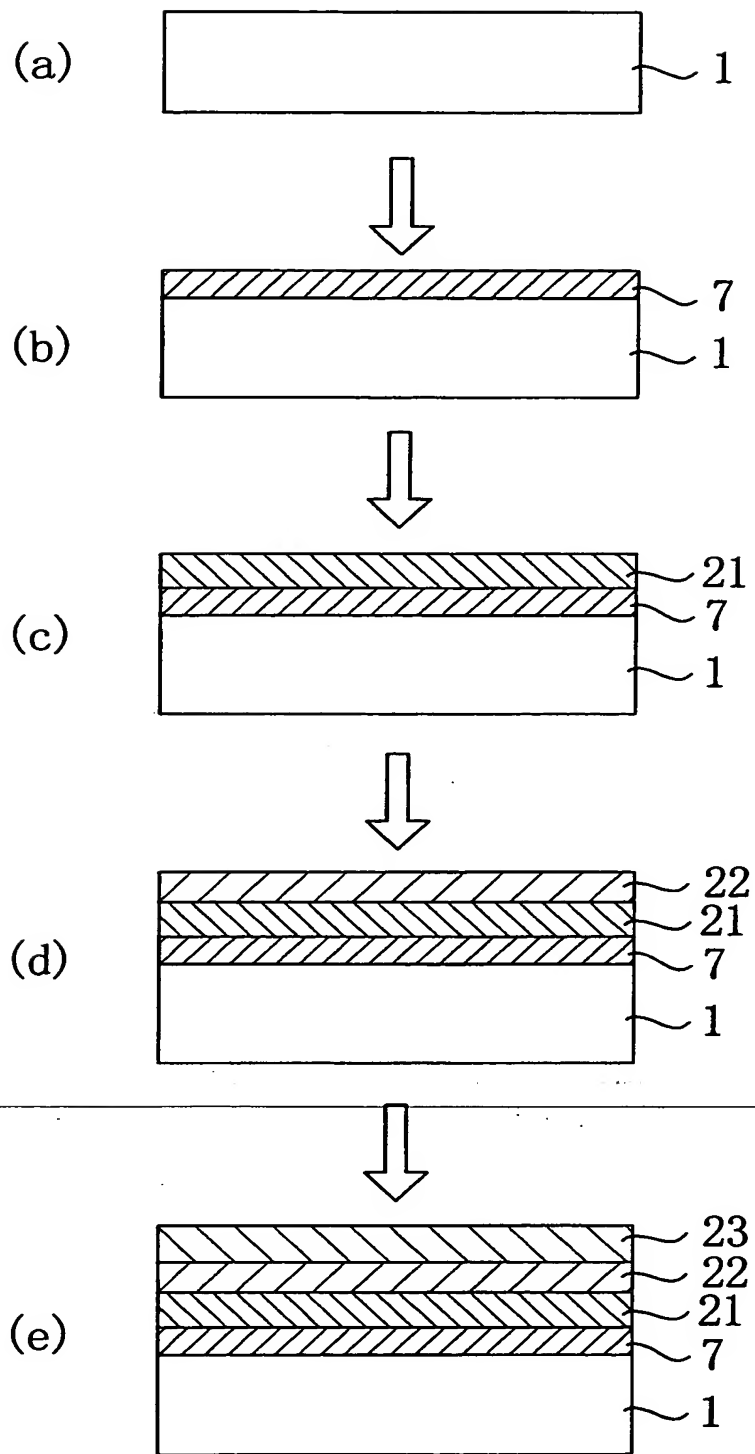
【図 2】



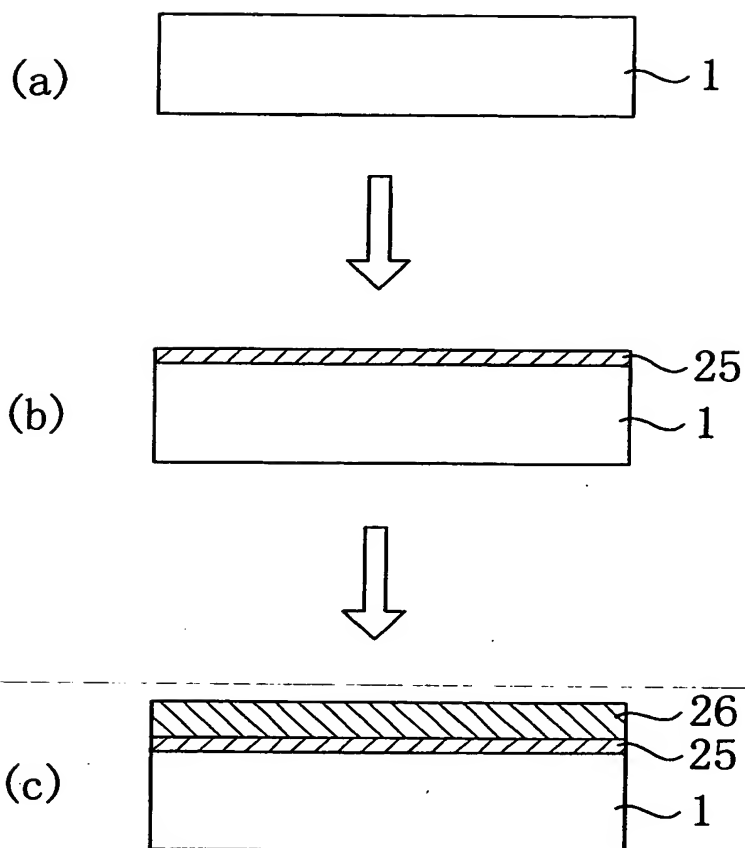
【图 3】



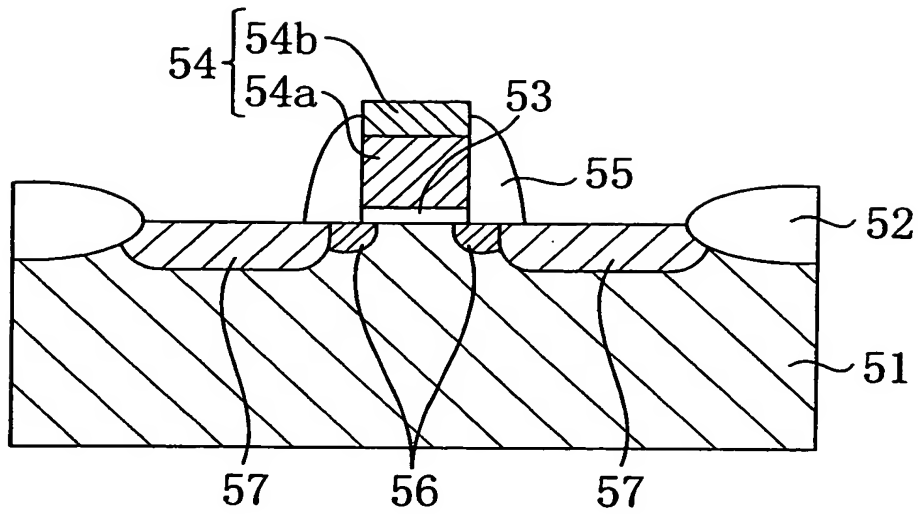
【図 4】



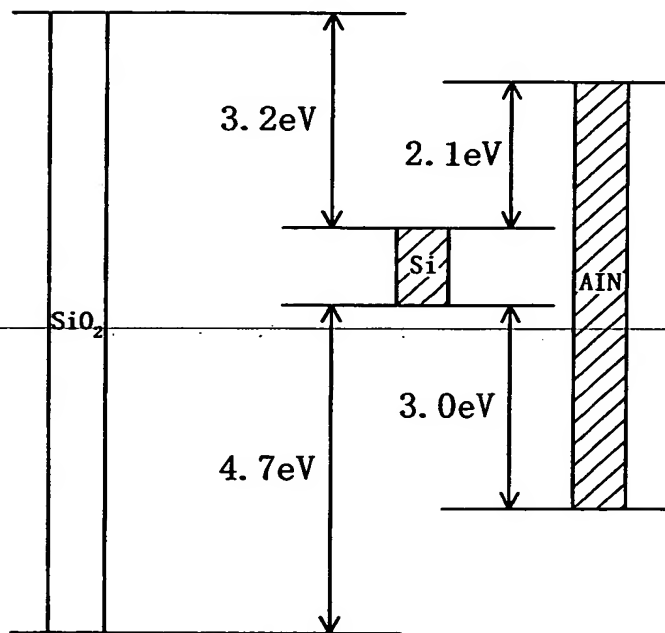
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 半導体素子の微細化，高集積化に対応しうる比誘電率の高いかつ絶縁特性の良好な膜の形成方法及びこれを利用した半導体素子を提供する。

【解決手段】 Si基板1を酸処理などによって洗浄し、加熱して表面の付着物を除去する。次に、Si基板1の表面が水素原子10によって終端されている場合にはそのまま水素原子10を残し、Si基板1の表面にダングリングボンド2が形成されている場合には化学種11によってこれを終端させる。Si基板1の表面上に終端原子12を残したままで、MBE法などにより、Si基板1の上にN原子層とAl原子層とを交互に数10層ずつ堆積し、AlN結晶層7を形成する。緻密で界面準位の密度が小さく、かつ比誘電率がシリコン酸化膜よりも高い結晶性AlN層を電界効果トランジスタのゲート絶縁膜や、キャパシタの容量絶縁膜として用いることにより、素子の微細化，高集積化に対応しうる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社